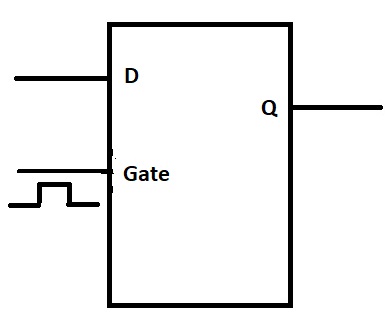
**Laborator 2**

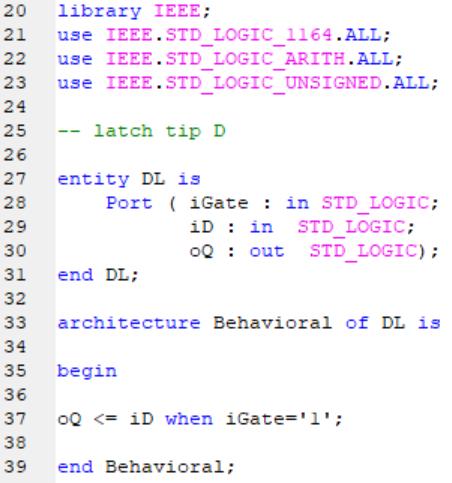
**Modelare/simulare bistabile**

1. **Modelare latch tip D**



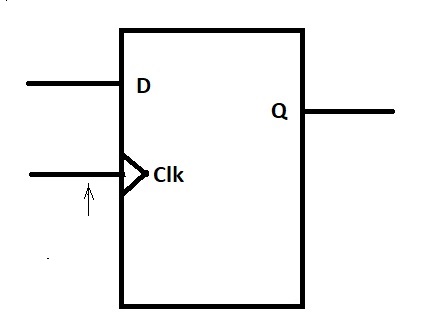
**Fig. 2.1**

Modelul VHDL este cel din Fig. 2.2. Se observă că spre deosebire de modelarea schemelor logice combinaţionale, ǐn acest caz clauza **WHEN** se termină fără **ELSE.**

****

**Fig. 2.2**

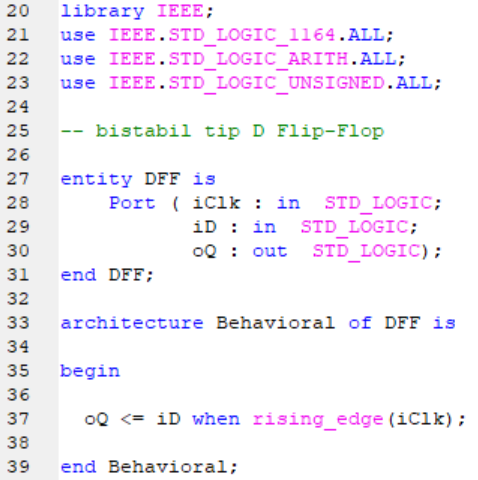
1. **Modelarea unui Flip-Flop**



**Fig. 2.3**

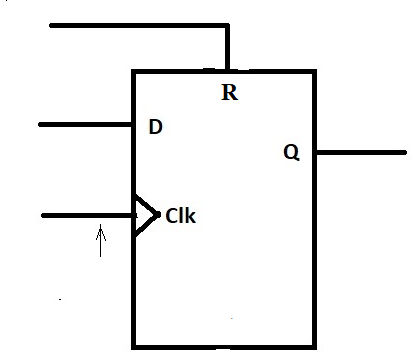
Modelul VHDL este cel din Fig. 2.4. Se observă că ṣi ǐn acest caz clauza **WHEN** se termină fără **ELSE**.

Funcţia **rising\_edge()** permite depistarea frontului crescător al unui semnal iar funcţia **falling\_edge()** permite depistarea apariţiei frontului descrescător al unui semnal.

****

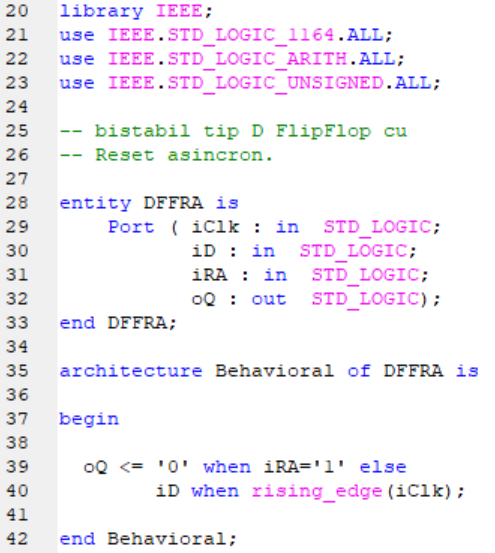
**Fig. 2.4**

1. **Modelarea unui Flip-Flop cu ṣtergere asincronă**

****

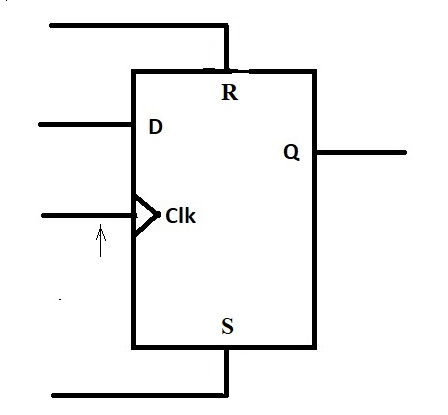
**Fig. 2.5**

Modelul VHDL este cel din Fig. 2.6.

****

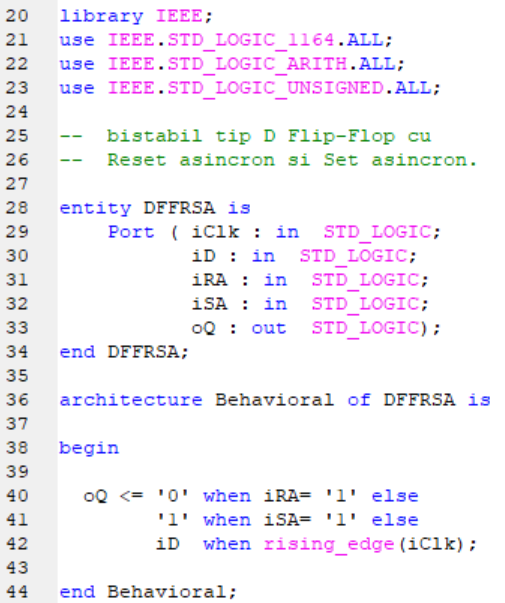
**Fig. 2.6**

1. **Modelarea unui Flip-Flop cu ṣtergere ṣi setare asincrone**

****

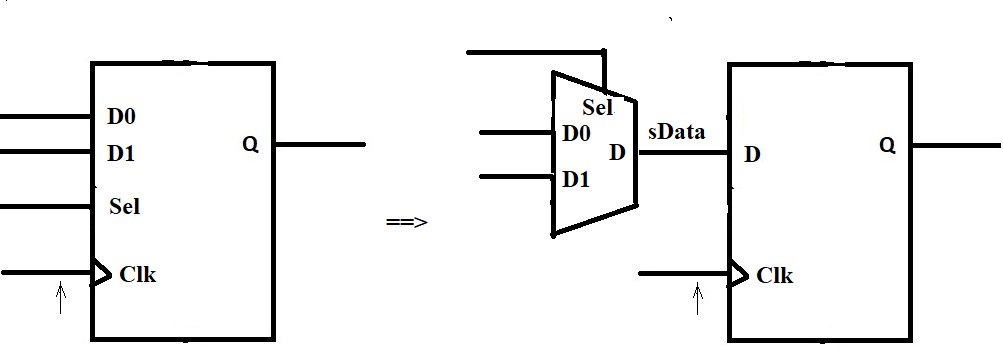
**Fig. 2.7**

Modelul VHDL este cel din Fig. 2.8.

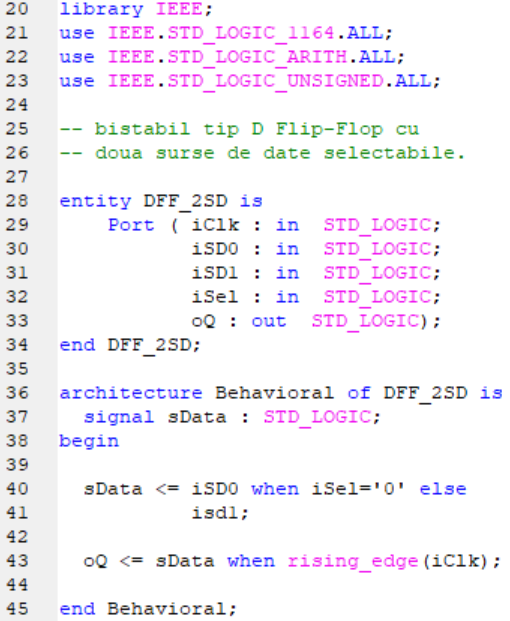


**Fig. 2.8**

1. **Modelarea unui Flip-Flop cu două surse de date selectabile**

****

**Fig. 2.9**

****

**Fig. 2.10**

1. **Desfăṣurarea lucrării**
2. **Se va sintetiza fiecare dintre bistabilele prezentate.**
3. **Se va simula funcţionarea fiecărui bistabil ṣi se vor analiza rezultatele.**
4. **Se va sintetiza un bistabil tip T Flip-Flop folosind un bistabil tip D Flip-Flop cu intrare de ṣtergere asincronă.**